

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-134939

(43)Date of publication of application : 18.06.1987

(51)Int.Cl.

H01L 21/60

H01L 27/13

(21)Application number : 60-275633

(71)Applicant : SONY CORP

(22)Date of filing : 06.12.1985

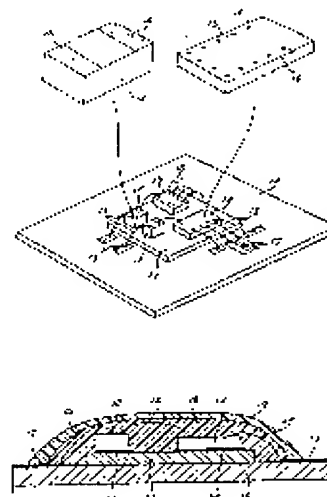
(72)Inventor : HAKUTA TATSUO

(54) HYBRID INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To enable the components to be mounted in a high density without hindering the miniaturization of a chiplike circuit components by connecting, by wire bonding, electrodes of the components with those of a circuit substrate.

CONSTITUTION: A hybrid integrated circuit is composed of a mother board 10 and a hybrid substrate 11, the board 10 is composed of a normal organic material substrate, the substrate 11 having a high insulation is secured by bonding onto the substrate, and bare chip components 12 and bare chip ICs 13 are mounted on the substrate 11. Electrodes 16 of the components 12 and the ICs 13 for forming the hybrid integrated circuit are connected via bonding wirings 15 with electrodes 17 made of conductive patterns of the board 10. When a predetermined circuit is formed, a function test is executed to confirm that a predetermined circuit operation is achieved or not. The integrated circuit is covered with an inner coating 18 with synthetic resin after the test, and further covered with an overcoating 19 with synthetic resin.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-134939

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)6月18日

H 01 L 21/60
27/13

6732-5F
6655-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 混成集積回路

⑯ 特 願 昭60-275633

⑰ 出 願 昭60(1985)12月6日

⑱ 発 明 者 伯 田 遼 夫 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
⑳ 代 理 人 弁理士 松 村 修

明 細 書

1. 発明の名称

混成集積回路

2. 特許請求の範囲

回路基板上にチップ状の回路部品をマウントして所定の回路を形成するようにしたものである。前記チップ状の回路部品の電極をワイヤボンディングによって回路基板の電極と接続するようにしたことを特徴とする混成集積回路。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は混成集積回路に係り、特に回路基板上にチップ状の回路部品をマウントして所定の回路を形成するようにした混成集積回路に関する。

【発明の概要】

本発明は、混成集積回路を構成するチップ状の

回路部品の電極をワイヤボンディングによって回路基板の電極と接続するようにしたものであって、これによって部品の小型化に対応するとともに、高密度の実装を可能としたものである。

【従来の技術】

各種の電子回路を形成するために、従来より混成集積回路が用いられている。従来の混成集積回路は例えば第3図に示されるようになっており、ハイブリッド基板1上にチップ状の部品2とモールドIC3とをそれぞれマウントするとともに、これらの回路部品2、3の電極をハイブリッド基板1の導電パターンからなる電極4と半田によって接続するようにしていた。そしてこのようなハイブリッド基板1のピン5をマザーボード6のピン挿入孔7内に挿入し、このピン5を半田によってマザーボード6の導電パターンからなる電極と接続するようにしていた。

【発明が解決しようとする問題点】

このような従来の混成集積回路の欠点は、ハイブリッド基板1にマウントされるチップ状部品2やモールドIC3の小型化に伴い、半田付けの信頼性が低下することであって、これによって部品2、3の小型化が妨げられるという欠点があった。また部品2、3の電極と接続される電極4をハイブリッド基板1上に形成しなければならない、このためにハイブリッド基板1上に部品2、3を高密度に実装することができなかった。

本発明はこのような問題点に鑑みてなされたものであって、部品の小型化を妨げることなく、しかも高密度実装が可能な混成集積回路を提供することを目的とするものである。

【問題点を解決するための手段】

本発明は、回路基板の上にチップ状の回路部品をマウントして所定の回路を形成するようにしたもののにおいて、前記チップ状の回路部品の電極をワイヤボンディングによって回路基板の電極と接続するようにしたものである。なおここでチップ

状の回路部品はチップICをも含むものである。すなわちこれらの部品12、13はともにモールドの外装体を備えておらず、回路素子それ自体から構成されている。そしてこれらの部品12、13は、第2図に示すように、接着剤14によってハイブリッド基板11の表面に固定されるようになっている。

このような混成集積回路を構成するベアチップ部品12やベアチップIC13の電極16は、ボンディング用ワイヤ15を介してマザーボード10の導電パターンからなる電極17と接続されるようになっている。そしてこれによって所定の回路が形成されたならば、ファンクションテストを行なうことによって、所定の回路動作が行なわれるかどうかを確認するようにしている。このテストの後に、特に第2図に示すように、合成樹脂によってインナコート18を施し、さらにこの上に同じく合成樹脂によってオーバーコート19を施すようにしている。このようにして混成集積回路が得られることになる。

このような混成集積回路は、半田を用いること

なく、電子回路を形成する点に大きな特徴を有している。すなわちICのオペレート電流が次第に小さくなる傾向にあり、これによって部品12、13の大きさが小型化されるようになっている。そしてこのような部品12、13がワイヤボンディングによって回路基板10の電極17と接続されるようになっているために、半田付けの信頼性によって部品の小型化を妨げることがなくなる。

【作用】

従って本発明によれば、半田付けを必要とせずにチップ状の回路部品を回路基板の電極と接続することが可能になり、これによって部品の小型化を達成することができるとともに、高密度実装が可能になる。

【実施例】

以下本発明を図示の一実施例につき説明する。第1図および第2図は本発明の一実施例に係る混成集積回路を示すものであって、この集積回路はマザーボード10とハイブリッド基板11とから構成されている。マザーボード10は通常の有機材料基板によって構成されており、この基板の上に高い絶縁性を有するハイブリッド基板11が接着によって固定されるようになっている。そしてハイブリッド基板11上にはベアチップ部品12やベアチップIC13がマウントされるようになっ

て、電子回路を形成する点に大きな特徴を有している。すなわちICのオペレート電流が次第に小さくなる傾向にあり、これによって部品12、13の大きさが小型化されるようになっている。そしてこのような部品12、13がワイヤボンディングによって回路基板10の電極17と接続されるようになっているために、半田付けの信頼性によって部品の小型化を妨げることがなくなる。

さらにこのような混成集積回路においては、ハイブリッド基板11に部品12、13の電極と接続される電極を形成する必要がなくなるために、ハイブリッド基板11の実装密度が高くなり、これによって回路の小型化を達成することが可能になる。またハイブリッド基板11の電極とマザーボード10の電極とを接続するためのピンも必要でないために、ピンのための端子面積も小さくことができ、これによってさらに回路を小型化することが可能になる。また部品12、13については、ボンディング用ワイヤ15によって接続される位置のみ電極16を設ければよい。またこのよ

うな混成集積回路は、上述の如くその生産の工程が少ないために、コストを低減することが可能になる。

【発明の効果】

以上のように本発明は、チップ状の回路部品の電極をワイヤボンディングによって回路基板の電極と接続するようにしたものである。従って本発明によれば、半田付けの信頼性によって部品の小型化が妨げられることがなくなり、より小型の部品を用いることが可能になる。さらにワイヤボンディングによってチップ用の回路部品の接続を行なうようにしているために、高密度実装が可能になって回路の小型化が達成されることになる。

なお図面に用いた符号において、

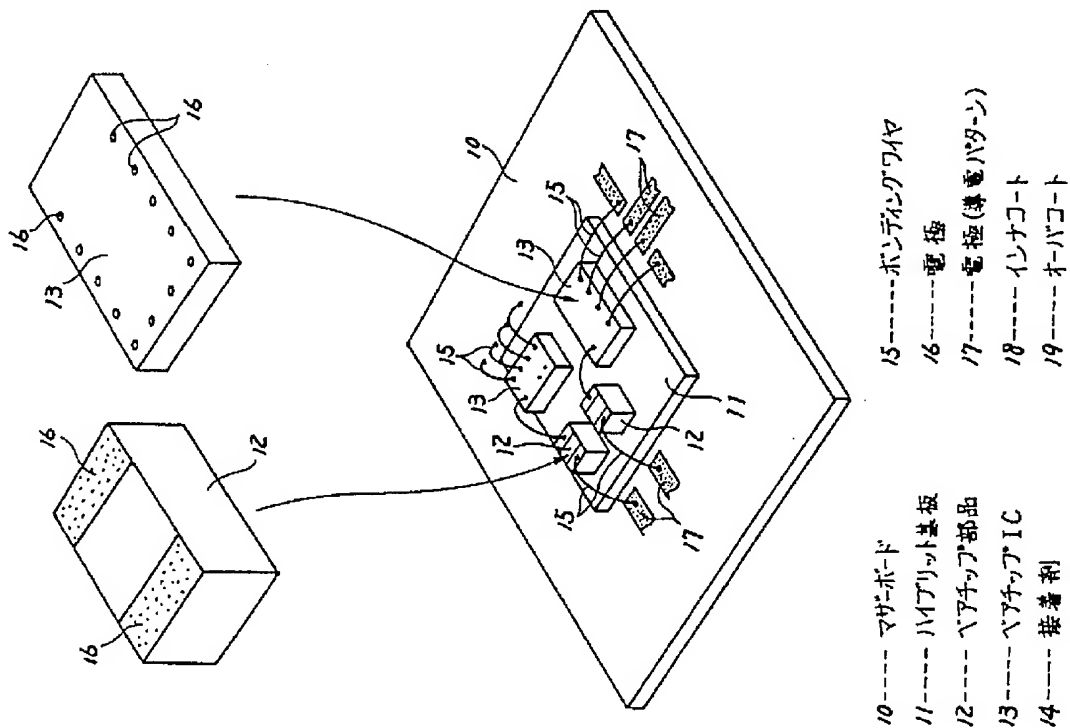
- 10・・・マザーボード
- 11・・・ハイブリッド基板
- 12・・・ベアチップ部品
- 13・・・ベアチップIC
- 15・・・ボンディング用ワイヤ
- 16・・・電極
- 17・・・電極（導電パターン）

である。

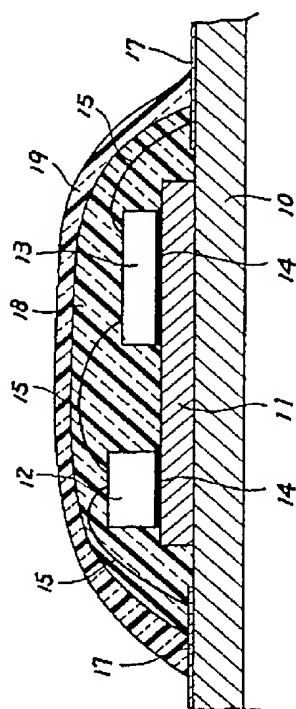
代理人 松 村 修

4. 図面の簡単な説明

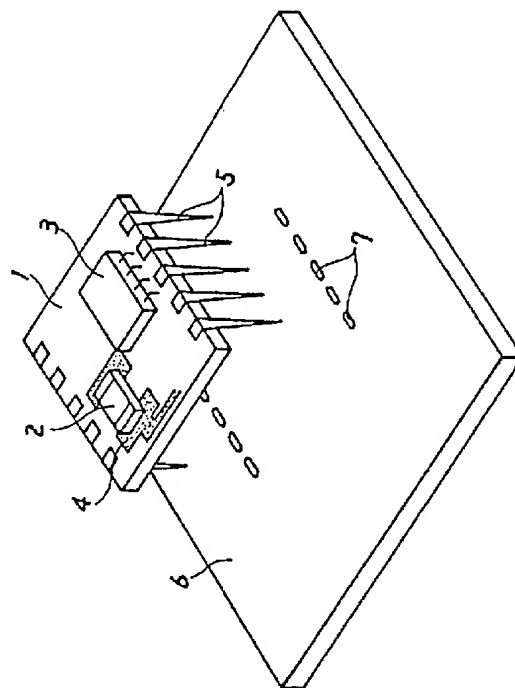
第1図は本発明の一実施例に係る混成集積回路を示す外観図、第2図は同図断面図、第3図は従来の混成集積回路の分解斜視図である。



第1図 混成集積回路の外観



第 2 図 混成集積回路の縦断面



第 3 図 従来の混成集積回路 (分解状態)